

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-320177

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

G11B 19/06

(21)Application number : 08-161133

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 30.05.1996

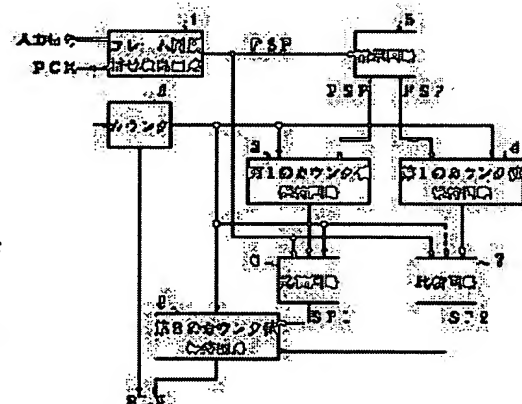
(72)Inventor : FUJIMOTO SHOICHI

(54) FRAME-SYNCHRONIZING SIGNAL PROCESSING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To secure regular frame synchronizing signals in a short time, even when inputted signals including frame synchronizing signals also contain irregular frame synchronizing signals.

SOLUTION: This circuit is provided with a counter 2 which counts clock signals, synchronized with data string with one frame as a period. The frame-synchronizing signal FSS of an input signal is detected by a frame synchronizing signal detecting circuit 1. With the timing of this frame synchronizing pulse FSP, the count values of the counter 2 are alternately held by first counter holding circuits 3, 4. The held value and the count value of the counter 2 are compared by comparison circuits 6, 7, and when their difference is less than a specified value, a coincidence pulse SP 1 or SP 2 is outputted. The count value at that time is held by a second counter value holding circuit 8. From this value and the count value of the counter 2, the frame-synchronizing signal is secured to obtain a symbol latch signal.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

BEST AVAILABLE COPY

AL

decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平9-320177

(49)公開日 平成9年(1997)12月12日

(51)Int.Cl⁴

G11B 19/08

識別記号

601

庁内整理番号

FI

G11B 19/08

技術表示箇所

601A

審査請求 未請求 請求項の数1 FD (全7頁)

(21)出願番号

特願平8-161133

(22)出願日

平成8年(1996)5月30日

(71)出願人

000006821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者

藤本 正一

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74)代理人

弁護士 岡本 宜喜

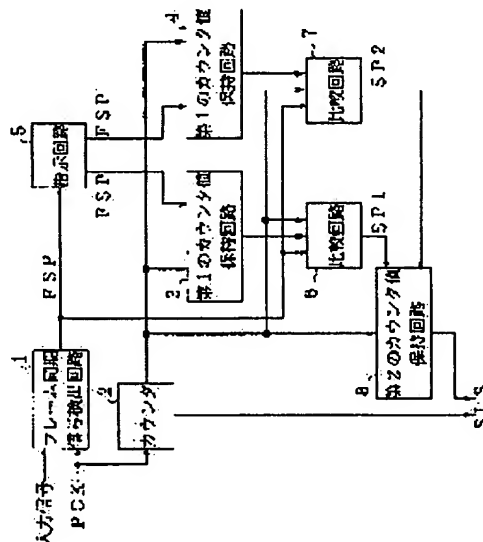
(54)【発明の名称】 フレーム同期信号処理回路

(57)【要約】

【課題】 フレーム同期信号を含む信号が入力されたときに不正規のフレーム同期信号があっても短時間で正規のフレーム同期信号を確保すること。

【解決手段】 1フレームを周期としてデータ列に同期するクロック信号を計数するカウンタ2を設ける。入力信号のフレーム同期信号FSSをフレーム同期信号検出回路1によって検出する。このフレーム同期パルスFSPのタイミングでカウンタ2の計数値を第1のカウンタ値保持回路3、4に交互に保持する。保持した値とカウンタ2の計数値とを比較回路5、7で比較し、その差が所定値以下のときに一致パルスSP1又はSP2を出力

する。その時点の計数値を第2のカウンタ値保持回路6に保持する。この値とカウンタ2の計数値とから、フレーム同期信号を確保してシンボルラッチ信号を得るようにしている。



【特許請求の範囲】

【請求項1】 入力データ列の中からフレーム同期信号を検出し、フレーム同期パルスを出力するフレーム同期信号検出回路と、

前記入力データ列に同期して作成されたクロック信号を入力し、1フレーム期間を周期として、前記クロック信号を計数するカウンタと、

前記カウンタの計数値を保持する複数の第1のカウンタ値保持回路と、

前記フレーム同期信号検出回路により出力されるフレーム同期パルスによって、前記第1のカウンタ値保持回路のいずれかに順次前記カウンタの値を保持するように指示する指示回路と、

前記フレーム同期信号検出回路により出力されるフレーム同期パルス発生時の前記カウンタの計数値と、前記第1のカウンタ値保持回路の保持している計数値とを比較し、その値の差が設定した範囲内の場合に一致パルスを出力する比較回路と、

前記比較回路からの前記一致パルスによって前記カウンタの値を保持する第2のカウンタ値保持回路と、を具備することを特徴とするフレーム同期信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、フレーム同期信号を持つ一定のビット長のフレームが連続して現れる信号のフレーム同期信号処理回路に関する。

【0002】

【従来の技術】 例えばコンパクトディスク（以下、CDという）の場合、24個の情報シンボル（8ビット）と8個のバリティシンボル（8ビット）の合計32個のシンボルに8ビットのサブコードが付加され、これらがEFM（8-14）変換されて、24ビットのフレーム同期信号及び3ビットの結合ビットとともに588チャネルビットを1フレームとして記録されている。

【0003】 CDを再生する場合には、フレーム同期信号24チャネルビットに続く14チャネルビットの信号を読み取り、8ビットのシンボルに変換する。そのため、読み出された信号から、フレーム同期信号を検出し、これを基準として14チャネルビットのEFM変換されたシンボルを取り出す。従って、フレーム同期信号の検出に間違いがあると、正しいシンボルを読み出すことができない。

【0004】 従来のフレーム同期信号処理回路としては、特公平7-75101号公報に「CD再生用集積回路」として記載されたものがある。このフレーム同期信号処理回路を図4を用いて説明する。

【0005】 フレーム同期信号検出回路41は、入力信号に同期するクロック信号PCKによって読み込まれた入力信号がフレーム同期信号FSPであるか否かを検出する回路であり、フレーム同期信号を検出した時点で第

2のカウンタ43とリセット回路44にフレーム同期パルスFSPを送信するものである。

【0006】 第1のカウンタ42は1フレーム分のクロック信号PCKを計数するカウンタであり、リセット回路44より送られてくるリセット信号によりリセットされる。このカウンタ42の計数値に基づいてシンボルラッチ信号SLSが生成される。

【0007】 第2のカウンタ43は、1フレーム分のクロック信号PCKを計数するカウンタであり、フレーム同期パルスFSPによりリセットされ、1フレーム後にフレーム同期パルスFSPが来た場合はリセット回路44にフレーム同期パルスを出力する。

【0008】 リセット回路44はウィンドウ制御回路45に制御されたフレーム同期パルスFSP、内挿パルス発生回路46からの内挿フレーム同期パルス、又は第2のカウンタからの1フレーム後のフレーム同期パルスのいずれかにより、第1のカウンタ42をリセットするリセット信号を発生するものである。

【0009】 ウィンドウ制御回路45は第1のカウンタ42の計数出力に基づいて、フレーム同期信号FSPを通過させるかしないかを制御するものである。内挿パルス発生回路46は、第1のカウンタの計数出力に基づいて内挿フレーム同期パルスを出力するものである。

【0010】 次にこのフレーム同期信号検出回路の動作について図5を参照しつつ説明する。まずフレーム同期信号が正常である間の動作について説明する。ウィンドウ制御回路45は第1のカウンタ42の計数値に基づいて、次のフレーム同期パルスが発生するであろうタイミングでウィンドウを開く。リセット回路44はこのウィンドウによってフレーム同期信号検出回路41によって発生したフレーム同期パルスFSPを通過させ、第1のカウンタ42をリセットする。

【0011】 又フレーム同期信号が欠落した場合には、内挿パルス出力回路46が第1のカウンタ42の計数値に基づいて、フレーム同期パルスを発生させ、リセット回路44を経由して第1のカウンタ42をリセットする。こうすればフレーム同期信号が欠落してもほぼ正確なタイミングでカウンタ42がリセットされることとなる。そして第1のカウンタ42の値を用いてシンボルを取り出すシンボルラッチ信号SLSを生成することができる。

【0012】 サーチ等による外乱により、同期が乱れてフレーム同期信号が変化した場合は、第2のカウンタ43は最初のフレーム同期パルスによってリセットされ、1フレーム後に発生するパルスによってフレーム同期パルスを取り込み、リセット回路44にフレーム同期パルスを送り、第1のカウンタ42をリセットする。そしてウィンドウの発生と内挿パルスの出力を変化後のフレーム同期信号に同期させる。

【0013】

【発明が解決しようとする課題】 しかしながら、従来の方法では、フレーム同期信号は1フレームにつき存在しないものと仮定しており、記録する装置の故障や欠陥により不正規のフレーム同期信号がある場合を想定していない。

【0014】 従来のフレーム同期信号の処理を示す図5において、(a)点までは規定のクロック信号PCKの回数でフレーム同期パルスFSPが来ていたが、(b)点において、外乱等によりフレーム同期パルスFSPがウィンドウ内に入らなくなってしまうとする。その後、次の正規のフレーム同期パルスFSPが(d)点において来る前に、破線で示す不正規のフレーム同期パルスFSPが(c)点で発生したとする。そうすると第2のカウント43は、最初(b)点でリセットがかかるが、(c)点でもリセットがかかる。そのため(d)点で正規のフレーム同期パルスFSPが来ても1フレーム後だと判断しないので、第1のカウント42をリセットしない。そのため、次の正規のフレーム同期パルスFSPが(e)点で来てもはじめて、第1のカウント42が正しいタイミングにリセットされる。

【0015】 そのため、(e)点になって始めて正しいシンボルラッチ信号SLSを発生させることができる。もし常に正規のフレーム同期信号の間に不正規のフレーム同期信号があった場合には、従来の方法では永遠に正規のフレーム同期信号を確保することができないという欠点があった。

【0016】 本発明はこのような従来のフレーム同期信号処理回路の問題点に鑑みてなされたものであって、不正規のフレーム同期パルスが発生しても正規のフレーム同期パルスが発生すれば、正しいシンボルラッチ信号を発生させることができるようにすることを目的とする。

【0017】

【課題を解決するための手段】 正規のフレーム同期信号と不正規のフレーム同期信号は同じ形をしているので、信号の形によって、正規・不正規の判断することはできない。しかし、正規のフレーム同期信号の場合は1フレーム分のビットの後にも、フレーム同期信号が存在するので、正規・不正規の判断は1フレーム分のビットの後にフレーム同期信号があるかどうかで判断することができる。

【0018】 そのため本発明では、入力データ列の中からフレーム同期信号を検出し、フレーム同期パルスを出力するフレーム同期信号検出回路と、前記入力データ列に同期して作成されたクロック信号を入力し、1フレーム間を周期として、前記クロック信号を計数するカウンタと、前記カウンタの計数値を保持する複数の第1のカウント値保持回路と、前記フレーム同期信号検出回路により出力されるフレーム同期パルスによって、前記第1のカウント値保持回路のいずれかに順次前記カウンタの値を保持するように指示する指示回路と、前記フレー

ム同期信号検出回路により出力されるフレーム同期パルス発生時の前記カウンタの計数値と、前記第1のカウント値保持回路の保持している計数値とを比較し、その値の差が設定した範囲内の場合に一致パルスを出力する比較回路と、前記比較回路からの前記一致パルスによって前記カウンタの値を保持する第2のカウント値保持回路と、を具備することを特徴とするものである。

【0019】 このような特徴を有する本発明によれば、フレーム同期信号検出回路によってフレーム同期信号を検出してそのタイミングで複数の第1のカウント値保持回路を動作させている。又カウンタは1フレーム間を周期として動作するフリーカウンタであって、正しいフレーム周期が続く場合にはその同期信号が得られるタイミングでのカウンタ値はほぼ同一となる。従って第1のカウント値保持回路によりフレーム同期信号が得られる時点でのカウンタ値を保持しておき、これを現在のカウンタ値と比較することにより正しいフレーム同期信号を検出するようにしている。こうすれば正当なフレーム同期信号の位置を素早く捕獲することができる。

【0020】

【発明の実施の形態】 以下、本発明の実施形態について、図面を用いて説明する。

（実施の形態） 図1は本発明の実施の形態を示すブロック図である。フレーム同期信号検出回路1は、入力信号に同期するクロック信号PCKによって読み込まれた入力信号がフレーム同期信号FSSであるか否かを判断する回路であり、フレーム同期信号FSSを検出した時点で指示回路5、比較回路6、比較回路7にフレーム同期パルスFSPを送信する。

【0021】 カウンタ2は1フレーム分のクロック信号PCKを計数するカウンタであり、1フレーム分のクロック信号PCKを計数すれば自動的に1に戻り、繰り返しクロック信号PCKを計数する。このカウンタ2はフレーム同期パルスFSPによってリセットされない。従って正規の信号が入力されている限り現在の計数値と1フレーム前の計数値とがほぼ一致するが、その値自体は確定していない。

【0022】 第1のカウント値保持回路3及び第1のカウント値保持回路4は、指示回路5で選択されて送られてきたフレーム同期パルスFSPが入力される毎にカウンタ2の値を保持する回路である。

【0023】 指示回路5は、フレーム同期信号FSPを第1のカウント値保持回路3と第1のカウント値保持回路4に交互に送る回路である。又交互に送るため、次にどちらの第1のカウント値保持回路にフレーム同期信号FSPを送るかの情報を保持し、フレーム同期信号FSPを送る毎に情報を更新する。

【0024】 比較回路6はフレーム同期パルスFSPがフレーム同期信号検出回路1から送信された時に、カウンタ2の値と第1のカウント値保持回路3の値とを比較

し、ある決めた差、例えば「3」以下の場合にはフレーム同期パルスFSPを一致パルスSP1として通過させ、第2のカウンタ値保持回路8に送信する。

【0025】比較回路7はフレーム同期パルスFSPがフレーム同期信号検出回路1から送信されたときに、カウンタ2の値と第1のカウンタ値保持回路4の値とを比較し、ある決めた差、例えば「3」以下の場合にはフレーム同期パルスFSPを一致パルスSP2として通過させ、第2のカウンタ値保持回路8に送信する。

【0026】第2のカウンタ値保持回路8は、比較回路6、比較回路7からの一致パルス（SP1又はSP2）によってカウンタ2の値を保持する。

【0027】又、カウンタ2と第2のカウンタ値保持回路8のカウンタ値との差からフレーム同期信号に続くシンボルをラッチするシンボルラッチ信号SLSを生成することができる（図示せず）。

【0028】次に図1に示された回路の動作を図2を用いて説明する。図2では簡単化のため、フレーム同期信号は5ビット、情報シンボルは4ビットで構成されているとし、1フレームは100情報シンボルからなるとすると1フレームの長さはフレーム同期信号を含めて405ビットになる。

【0029】又比較回路6は、カウンタ2と第1のカウンタ値保持回路3の値が3以下の時にフレーム同期パルスFSPを一致パルスSP1として通過させるとする。同様に比較回路7は、カウンタ2と第1のカウンタ値保持回路4の値の差が3以下のとき、フレーム同期パルスFSPを一致パルスSP2として通過させる。

【0030】フレーム同期信号検出回路1は、フレーム同期信号FSSが入力されるとフレーム同期パルスFSPを発生する。フレーム同期パルスFSPは指示回路5と比較回路6、比較回路7に送られる。指示回路5では、第1のカウンタ値保持回路3及び4に交互にフレーム同期パルスFSPを送るために保持している情報を参照して、第1のカウンタ値保持回路3又は4にフレーム同期パルスFSPを送る。今回は内部の情報が「3（第1のカウンタ値保持回路3）」であるとする、第1のカウンタ値保持回路3（図2ではCVH3として示す）にフレーム同期パルスFSPを送る。そして、指示回路5の内部の情報を「4（第1のカウンタ値保持回路4、図中CVH4）」に変える。第1のカウンタ値保持回路3は、指示回路5から送られてきたフレーム同期パルスによって、カウンタ2の値「24」を取り込む。更新される前の第1のカウンタ値保持回路3の値（この場合は「0」）とカウンタ2の値（この場合は「24」）の差は4以上であるので、比較回路6はフレーム同期パルスFSPを通過させない。

【0031】比較回路7の場合も、比較回路6と同様に第1のカウンタ値保持回路4（図2ではCVH4）の値「0」と、カウンタ2の値「24」の差は、3以下でな

いのでフレーム同期パルスFSPは通過させない。

【0032】1フレーム後、フレーム同期信号検出回路1は再びフレーム同期信号FSSが入力されると、フレーム同期パルスFSPを発生し、指示回路5、比較回路6、比較回路7に送る。指示回路5では内部の状態を参照して、今回は第1のカウンタ値保持回路4にフレーム同期パルスFSPを送る。そして内部の情報を「3（第1のカウンタ値保持回路3）」に変える。第1のカウンタ値保持回路4は、指示回路5から送られてきたフレーム同期パルスによって、カウンタ2の値「24」を取り込む。

【0033】このとき第1のカウンタ値保持回路3の値（この場合は「24」）とカウンタ2の値（この場合は「24」）を比較すると、差が3以下であるので比較回路6はフレーム同期パルスFSPを通過させ、第2のカウンタ値保持回路8に一致パルスSP1として送る。比較回路7の場合は、更新される直前の第1のカウンタ値保持回路4の値は「0」、カウンタ2の値は「24」であり、その差は4以上であるので、フレーム同期パルスFSPは通過させない。第2のカウンタ値保持回路8は比較回路6から通過してきた一致パルスSP1（フレーム同期パルスFSPによってカウンタ2の値「24」）を取り込む。

【0034】更に1フレーム後に同様の処理が行われ、第1のカウンタ値保持回路4の計数値が「24」であるため、一致パルスSP2を出力する。第2のカウンタ値保持回路8はこの一致パルスSP2によってカウンタ2の値「24」を取り込む。

【0035】以上の動作は、フレーム同期信号が正常に到来、及び検出された場合であるが、ディスクの偏等でフレーム同期信号が欠落した場合は、第2のカウンタ値保持回路8の値は更新されない。従って一番最後に取り込まれた第2のカウンタ値保持回路8の値とカウンタ2の値とを比較して、その差からシンボルをラッチする信号SLSを生成する。

【0036】次に図3を用いて不正なフレーム同期信号があった場合の動作について説明する。従来例と同様に（a）点までは規定のクロック信号CLKの回数でフレーム同期信号FSPが来ていたが、（b）点において、外乱等によりフレーム同期パルスFSPがずれてしまったとする。その後、次の正規のフレーム同期パルスFSPが（d）点に来る前に、不正なフレーム同期信号が（c）点で発生したとする。

【0037】（b）点において、カウンタ2の値「300」はまず、直前の第1のカウンタ値保持回路3の値「100」と第1のカウンタ値保持回路4の値「100」と比較されるが、どちらも値が規定の差「3」以上に達するので、第2のカウンタ値保持回路8には一致パルスは送られない。そして、その時点のカウンタ2の値「300」は第1のカウンタ値保持回路3に取り込まれ

る。

【0038】そして不正規のフレーム同期パルスが(c)点において発生した時も同様に、カウンタ2の値「150」はまず、直前の第1のカウンタ値保持回路3の値「300」と比較回路6でも比較され、又第1のカウンタ値保持回路4の値「100」と比較回路7で比較されるが、どちらとも値が規定の差「3」以上に違うので、第2のカウンタ値保持回路8には一致パルスは送られない。そして、その時点のカウンタ2の値「150」は第1のカウンタ値保持回路4に取り込まれる。次に正規のフレーム同期パルスFSPが(d)点で発生した時、カウンタ2の値「300」はまず、第1のカウンタ値保持回路3の値「300」、第1のカウンタ保持回路4の値「150」と比較される。このときは第1のカウンタ値保持回路3との差は、規定した大きさ「3」よりも小さいので、比較回路6より一致パルスSP1が第2のカウンタ値保持回路8に送られ、カウンタ2の値「300」が第2のカウンタ値保持回路8に取り込まれる。

【0039】本発明の実施の形態では入力信号に含まれるシンボルのラッチ信号は第2のカウンタ値保持回路8とカウンタ2の値の差から生成されるので、本実施の形態では(d)の時点で正しいシンボルのラッチ信号を生成することができる。つまり、(d)の時点で正規のフレーム同期信号を捕獲することができている。従来例では次の正規フレーム同期信号が入力される(e)の時点になってフレーム同期信号を捕獲することができる。この場合には指示回路4は順次第1のカウンタ値保持回路3、4に交互にフレーム同期信号ESPを転送するものとする。

【0040】尚以上の説明では、第1のカウンタ値保持回路が2つの場合を説明したが、3つ以上の場合でも同様に実施可能である。正規のフレーム同期信号の間にn個の不正規のフレーム同期信号があるとするとn+1個の第1のカウンタ値保持回路を使用することによって、素早く正規のフレーム同期信号を確保することができる。

【0041】又以上の説明では、カウンタと第1のカウンタ値保持回路の値の差が、3以下の場合に比較回路からパルスが生成される場合を説明したが、3以外の値以下の場合でも同様に実現可能である。又この値は一定である必要はなく、比較回路からの一致パルスが連続して数フレーム生成されているかどうかなどによって、値を変えてもよい。

【0042】又以上の説明では、フレーム同期信号が5ビット、情報シンボルが4ビットの場合を説明したが、同じ長さのフレームが繰り返し現れるような信号の場合は、任意の長さのフレーム同期信号、又は情報シンボルであっても同様に実現可能である。

【0043】

【発明の効果】以上のように本発明によれば、不正規のフレーム同期信号が存在する場合でも、フレーム同期信号パルスが発生した時点でのカウンタの値を保持し、その値と、その後のフレーム同期信号パルスが発生した時点でのカウンタの値を比較することによって、正当なフレーム同期信号の位置を素早く捕獲することができる。

【0044】又正規のフレーム同期信号の間に不正規のフレーム同期信号が続けて発生した場合にも、正規のフレーム信号を検出してフレーム同期信号を確保することができるという効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施形態によるフレーム同期信号処理回路の構成を示すブロック図である。

【図2】本実施形態によるフレーム同期信号処理回路の動作を示すタイムチャートである。

【図3】本実施形態によるフレーム同期信号処理回路に不正規のフレーム同期信号が入力された場合の動作を示すタイムチャートである。

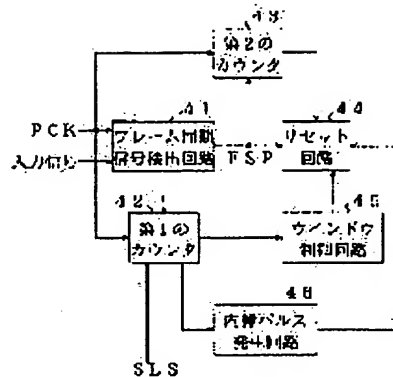
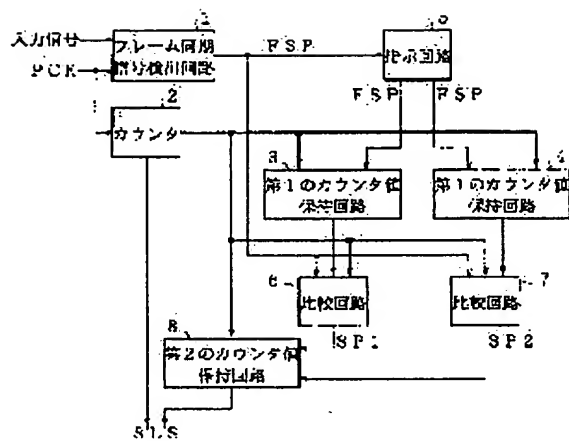
【図4】従来のフレーム同期信号処理回路の一例を示すブロック図である。

【図5】図4に示された従来例のフレーム同期信号処理回路に不正規のフレーム同期信号が加わったときの動作を示すタイムチャートである。

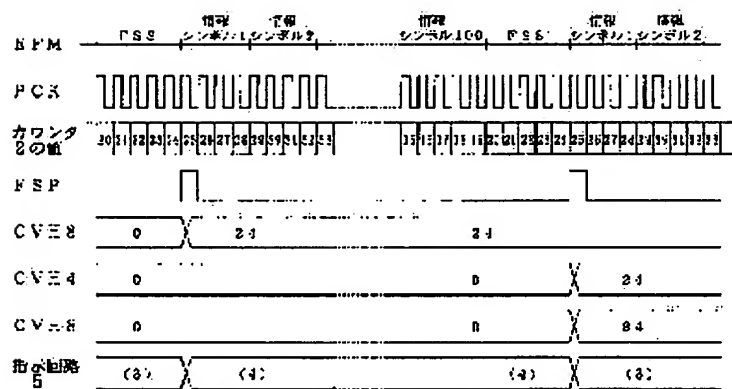
【符号の説明】

- 1 フレーム同期信号検出回路
- 2 カウンタ
- 3, 4 第1のカウンタ値保持回路
- 5 指示回路
- 6, 7 比較回路
- 8 第2のカウンタ値保持回路
- 41 フレーム同期信号検出回路
- 42 第1のカウンタ
- 43 第2のカウンタ
- 44 リセット回路
- 45 ウィンドウ制御回路
- 46 内挿パルス発生回路

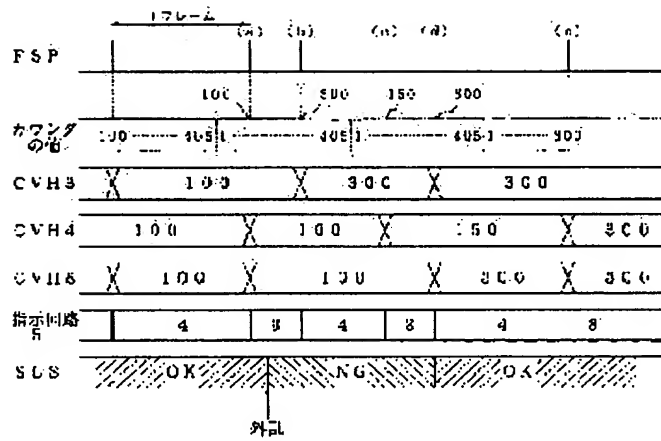
【圖·4】



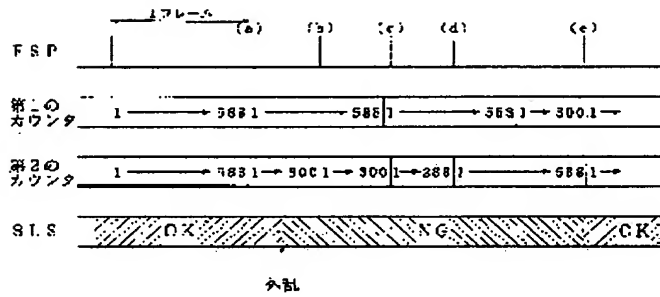
【図2】



【図3】



【図5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.